

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent application of

A. Kirisawa

Serial No.: not yet assigned

Examiner: not yet assigned

Filing Date: November 20, 2001

Group Art Unit: not assigned

For: PROGRAM UPDATING SYSTEM HAVING COMMUNICATION FUNCTION

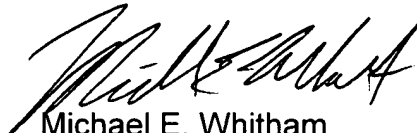
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Submitted herewith is a certified copy of Japanese Patent Application Number 2000-352816 dated 11/20/00 upon which application the claim for priority is based.

Respectfully submitted,



Michael E. Whitham
Reg. No. 32,635

Whitham, Curtis & Christofferson, PC
11491 Sunset Hills Road, Suite 340
Reston, Virginia 20190

703-391-2510



日 本 国 特 許 庁
JAPAN PATENT OFFICE

US
709

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月20日

出 願 番 号

Application Number:

特願2000-352816

出 願 人

Applicant(s):

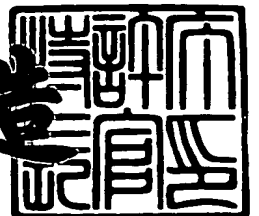
日本電気株式会社

J1036 U.S. PTO
09/988470
11/20/01

2001年 9月20日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3086612

【書類名】 特許願

【整理番号】 51105806

【提出日】 平成12年11月20日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 9/06

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 桐沢 明洋

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【選任した代理人】

【識別番号】 100099553

【弁理士】

【氏名又は名称】 大村 雅生

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】明細書

【発明の名称】通信機能を備えたプログラム更新システム

【特許請求の範囲】

【請求項 1】 所定のプログラムを参照して動作する第 1 プロセッサと、
前記プログラムの更新を通信回線を介して実行し且つ、前記第 1 プロセッサの
障害を検出した場合に前記プログラムの更新制御を実行する第 2 プロセッサを備
える通信機能を備えたプログラム更新システム。

【請求項 2】 請求項 1 に記載の通信機能を備えたプログラム更新システム
において、

前記第 2 プロセッサは、前記第 1 プロセッサに向けて所定の周期でリセット信
号を送出し且つ、前記リセット信号に応じた前記第 1 プロセッサからの応答パル
スの送出を監視し、

前記第 2 プロセッサは更に、前記応答パルスを所定期間中に検出できないとき
、前記第 1 プロセッサに向けて強制リセット信号を送出する通信機能を備えたプ
ログラム更新システム。

【請求項 3】 請求項 1 又は 2 に記載の通信機能を備えたプログラム更新シ
ステムにおいて、

前記第 2 プロセッサを起動する起動パルスを生成する起動パルス生成回路を備
え、

前記第 2 プロセッサは、前記起動パルスに応じて前記リセット信号の送出を開
始する通信機能を備えたプログラム更新システム。

【請求項 4】 請求項 1 又は 2 に記載の通信機能を備えたプログラム更新シ
ステムにおいて、

前記第 2 プロセッサを起動する起動パルスを生成し且つ、前記起動パルスに応
じた前記第 2 プロセッサからの起動応答パルスの送出を監視する起動監視回路を
備え、

前記起動監視回路は、前記起動応答パルスを所定期間中に検出できないとき、
前記第 2 プロセッサに向けて強制リセット信号を送出する通信機能を備えたプロ
グラム更新システム。

【請求項 5】 請求項 1 乃至 4 の何れか一項に記載の通信機能を備えたプログラム更新システムにおいて、

前記第 2 プロセッサは、前記更新制御の為に受け入れた前記プログラムを一時格納するバッファを持ち、

前記第 2 プロセッサは、前記バッファへの前記プログラムの格納完了後に、前記バッファから前記第 1 プロセッサに前記プログラムを転送する通信機能を備えたプログラム更新システム。

【請求項 6】 書き換え可能なプログラムを参照して第 1 プロセッサが動作し、

前記第 1 プロセッサは、第 2 プロセッサから出力されるリセット信号に応じて第 2 プロセッサに向けて応答パルスを送出し、

前記第 2 プロセッサは、前記応答パルスを所定期間中に検出できないとき前記第 1 プロセッサに強制リセット信号を送出して前記第 1 プロセッサの動作を停止する通信機能を使用したプログラム更新方法。

【請求項 7】 請求項 6 に記載の通信機能を使用したプログラム更新方法において、

前記第 2 プロセッサは、前記第 1 プロセッサが停止中、通信回線を介して受け入れた新たな前記プログラムを前記第 1 プロセッサに転送する通信機能を使用したプログラム更新方法。

【請求項 8】 請求項 6 又は 7 に記載の通信媒体を使用したプログラム更新方法において、

前記第 2 プロセッサは、前記第 2 プロセッサの起動及び停止を制御する起動制御回路に、所定の周期で起動応答パルスを送出し、

前記起動制御回路は、前記起動応答パルスを所定の期間中に検出できない場合、前記第 2 プロセッサの停止制御を実行する通信機能を使用したプログラム更新方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、通信機能を使用してプログラムの更新を実行することができる通信機能を備えたプログラム更新システムに関する。

【 0 0 0 2 】

【従来の技術】

プロセッサ（CPU）が参照するプログラム（例えばファームウェア）は、仕様に変更があった場合もしくはバグ対策を目的として更新される。例えば、プロセッサが搭載された通信装置が、屋外に設置される屋外装置と屋内に設置される屋内装置からなる場合、屋外装置に搭載されたプロセッサが参照するファームウェアの更新には、屋内装置と屋外装置の間の通信を実行する通信機能が使用される。このような通信装置におけるファームウェアの更新は、屋内装置側に新たなファームウェアが用意される。屋内装置側に用意された新たなファームウェアは、屋内装置から屋外装置に向けて転送される。屋外装置に受信された新たなファームウェアは、プロセッサに参照されるフラッシュROM等の記憶媒体に格納される。新たなファームウェアの転送及び格納が完了すると、通信装置の再起動が実行される。この再起動の実行により、通信装置、即ち屋外装置のプロセッサは、新たなファームウェアを参照して動作する。

【 0 0 0 3 】

通信機能を使用してファームウェアを更新する技術に係る発明が、例えば特開平 9 - 2 5 8 9 7 6 号公報に開示されている。この公報に開示された発明は、ファームウェアを格納する記憶媒体として、2つのフラッシュROMが使用される。プロセッサは、一方のフラッシュROMに格納されたファームウェアを参照して、通信機能を使用して受信した新たなファームウェアを他方のフラッシュROMに格納する。プロセッサは、新たなファームウェアの格納が完了すると、他方のフラッシュROMを参照する設定を実行して、そして再起動する。以後、プロセッサは、他方のフラッシュROMを参照して動作する。

【 0 0 0 4 】

【発明が解決しようとする課題】

従来の例では、受信（ダウンロード）した新たなファームウェアに、通信回線にも影響を与えるような致命的なバグがあった場合、ダウンロード後、致命的バ

グ入りファームウェアが立ち上がった時点で2度とダウンロードできなくなってしまう恐れがあった。またこのようなケースは、誤ったプログラムを送った場合や、ファームウェアが何も書き込まれていない場合でも起こり得る。また、特開平9-258976号公報の図5のようなメインCPUとローカルCPUの2CPU構成を取る場合は、メインCPUのファームウェアを書き換えることができなく、結果として通信コマンド等を変更することができない。なお、このような場合、メインCPUのファームウェアが屋外装置側に設けられている場合、ファームウェアを更新するために屋外装置を取り外さなければならない事態が発生する。

【0005】

本発明は、更新すべきファームウェア等のプログラムに障害が発生しても、そのプログラム転送を確実に実行することができる通信機能を備えたプログラム更新システムを提供する。

【0006】

【課題を解決するための手段】

上述の課題を解決するための手段が、下記のように表現される。その表現中に現れる技術的事項には、括弧（ ）付きで、番号、記号等が添記されている。その番号、記号等は、本発明の実施の複数の形態又は複数の実施例のうちの少なくとも1つの実施の形態又は複数の実施例を構成する技術的事項、特に、その実施の形態又は実施例に対応する図面に表現されている技術的事項に付せられている参照番号、参照記号等に一致している。このような参照番号、参照記号は、請求項記載の技術的事項と実施の形態又は実施例の技術的事項との対応・橋渡しを明確にしている。このような対応・橋渡しは、請求項記載の技術的事項が実施の形態又は実施例の技術的事項に限定されて解釈されることを意味しない。

【0007】

本発明による通信機能を備えたプログラム更新システムは、所定のプログラムを参照して動作する第1プロセッサ（1）と、プログラムの更新を通信回線を介して実行し且つ、第1プロセッサ（1）の障害を検出した場合にプログラムの更新制御を実行する第2プロセッサ（2）を備える。

【 0 0 0 8 】

本発明による更なる通信機能を備えたプログラム更新システムは、第2プロセッサ(2)が、第1プロセッサ(1)に向けて所定の周期でリセット信号(P_r)を送出し且つ、リセット信号(P_r)に応じた第1プロセッサ(1)からの応答パルス(P_a)の送出を監視し、第2プロセッサ(2)は更に、応答パルス(P_a)を所定期間中(T₂, T₃, T₄, T₅又はT₂, T₄, T₅, T₇に相当)に検出できないとき、第1プロセッサ(1)に向けて強制リセット信号(L_a: L_ow)を送出する通信機能を備えたプログラム更新システム。

【 0 0 0 9 】

本発明による更なる通信機能を備えたプログラム更新システムは、第2プロセッサ(2)を起動する起動パルス(P₁)を生成する起動パルス生成回路(3)を備え、第2プロセッサ(2)は、起動パルス(P₁)に応じてリセット信号(P_r)の送出を開始する。

【 0 0 1 0 】

本発明による更なる通信機能を備えたプログラム更新システムは、第2プロセッサ(2)を起動する起動パルス(P₁に相当)を生成し且つ、起動パルスに応じた第2プロセッサ(2)からの起動応答パルス(P_rに相当)の送出を監視する起動監視回路(13)を備え、起動監視回路(13)は、起動応答パルスを所定期間中に検出できないとき、第2プロセッサ(2)に向けて強制リセット信号を送出する。

【 0 0 1 1 】

本発明による更なる通信機能を備えたプログラム更新システムは、第2プロセッサ(2)が、更新制御の為に受け入れたプログラムを一時格納するバッファ(14a)を持ち、第2プロセッサ(2)は、バッファ(14a)へのプログラムの格納完了後に、バッファ(14a)から第1プロセッサ(1)にプログラムを転送する。

【 0 0 1 2 】

本発明による通信機能を備えたプログラム更新方法は、書き換え可能なプログラムを参照して第1プロセッサ(1)が動作し、第1プロセッサ(1)が、第2

プロセッサ（２）から出力されるリセット信号（P r）に応じて第２プロセッサに向けて応答パルス（P a）を送出し、第２プロセッサ（２）は、応答パルス（P a）を所定期間中に検出できないとき第１プロセッサ（１）に強制リセット信号を送出して第１プロセッサ（１）の動作を停止する。

【 0 0 1 3 】

本発明による更なる通信機能を使用したプログラム更新方法は、第２プロセッサ（２）が、第１プロセッサ（１）の停止中、通信回線を介して受け入れた新たなプログラムを第１プロセッサ（１）に転送する。

【 0 0 1 4 】

本発明による更なる通信媒体を使用したプログラム更新方法は、第２プロセッサ（２）が、第２プロセッサ（２）の起動及び停止を制御する起動制御回路（１３）に、所定の周期で起動応答パルス（P rに相当）を送出し、起動制御回路（１３）は、起動応答パルス（P rに相当）を所定の期間中（T 2，T 3，T 4，T 5又はT 2，T 4，T 5，T 7に相当）に検出できない場合、第２プロセッサ（２）の停止制御を実行する。

【 0 0 1 5 】

【発明の実施の形態】

図１は、本発明に係る屋外装置の概念図である。図に示された屋外装置１００は、信号処理部６と、アンテナ１２を備える。信号処理部６は、高周波部７と、プロセッサ回路８と、マルチプレクサ９と、変調器１０と、検波器１１を備える。

【 0 0 1 6 】

この信号処理部６は、通信ケーブルL cを介して、図示されない屋内装置に接続される。

【 0 0 1 7 】

高周波部７は、無線信号の増幅及び周波数変換を制御する。プロセッサ回路８は、アラームの監視、ゲイン制御、そして周波数設定等を制御する。マルチプレクサ９は、無線信号とデータの多重化を制御する。変調器１０は、通信ケーブルL cに向けて送出される変調波を生成する。検波器１１は、通信ケーブルL cから入力される変調波の復調を制御する。

【0018】

プロセッサ回路8は、第1プロセッサ(CPU2)1と、転送プロセッサ(CPU1)2と、パワーオンリセット回路3と、ゲート回路4と、通信バッファ5を備える。第1プロセッサ1は、フラッシュROM1aを備える。第1プロセッサ1と転送プロセッサ2の間には、ラインL1~L3及びA、BラインLa、Lbが設置される。通信バッファ5には、変調器10及び検波器11が接続される。

【0019】

転送プロセッサ2は、第1プロセッサ1が参照するプログラムの転送制御を実行する。第1プロセッサ1は、フラッシュROM1aに格納されたプログラムを参照して、信号処理部6の動作制御を実行する。

【0020】

ラインL1~L3は、フラッシュROM1aへのプログラム格納に使用される信号線である。AラインLaは、第2プロセッサ2から第1プロセッサ1に対するリセット信号の転送に使用される。BラインLbは、第1プロセッサ1から第2プロセッサ2に対する応答パルスの転送に使用される。

【0021】

第2プロセッサ2及び第1プロセッサ1は、図示しない非同期シリアルインタフェース(UART)が内蔵され、それぞれ送受信に2本のライン(TXD,RXD)が設けられている。これらのラインは、ゲート4を介して及び直接通信バッファ5に接続される。

【0022】

第2プロセッサ2は、パワーオンリセット回路3が起動すると、パワーオンリセット回路3から出力されるパワーオンリセットパルスに応じてパワーオンリセットされ、そして起動する。第2プロセッサ2は、起動後、リセット信号を送出して、第1プロセッサ1を起動する。第1プロセッサ1及び第2プロセッサ2は、起動後、受信ライン(RXD)の監視を実行する。受信ラインに信号処理部6の制御コマンド、例えば監視制御コマンドが送出された場合、第1プロセッサ1に受け付けられる。受信ラインにプログラム転送の指示コマンドが送出された場合、第2プロセッサ2に受け付けられ、そしてプログラム転送処理が起動する。

なお、第2プロセッサ2側の送信ライン(TXD)は、通常、Highレベルに固定され、第1プロセッサ1側の送信ラインの内容が変調器10に送出される。一方、プログラム転送の指示が発生した場合、第1プロセッサ1側の送信ラインがHighレベルに固定され、そして第2プロセッサ2側の送信ラインの内容が変調器10に送出される。このため、各プロセッサから送信される送信データは、干渉することなく、ゲート回路4を介して変調器10に送信される。

【0023】

以上の構成のプロセッサ回路8の動作を図2～図6を参照して説明する。図2は、本発明に係る第1タイミングチャートである。第2プロセッサ2は、パワーオンリセット回路3が起動すると、パワーオンリセット回路3からパワーオンリセットパルスP1を受け入れる。第2プロセッサ2は、パワーオンリセットパルスP1に応答して、AラインLaにリセット信号Pr1を送出する。第1プロセッサ1は、リセット信号Pr1を受け付けると起動する。以後、第1プロセッサ1は、フラッシュROM1aの内容を参照して信号処理部6の動作制御を実行する。一方、第2プロセッサ2は、プログラム更新の指示を待機する。

【0024】

尚、第1プロセッサ1は、起動後、例えば100msの周期で、BラインLbにローレベルの応答パルス(Pa)を送出する。この応答パルスは、第2プロセッサ2による第1プロセッサ1の状態判定に使用される。

【0025】

図3は、本発明に係る第1タイミングチャートである。第2プロセッサ2は、パワーオンリセットパルスを受け入れ、更にリセット信号を送出及び待機期間(監視禁止期間)T1の経過を待つ。その後第2プロセッサ2は、応答パルスの送出を監視期間(T2, T3, T4, ...)に応じて監視する。第1プロセッサ1は、正常に動作する場合、第2プロセッサ2に向けて、例えば100msの周期、即ち監視期間に対するタイミングで、応答パルスPa1, Pa2, Pa3, ...を第2プロセッサ2に向けて送出する。第2プロセッサ2は、監視期間中、応答パルスを検出することにより、第1プロセッサ1の正常動作状態を検出することが出来る。第2プロセッサ2は、第1プロセッサ1の正常動作状態が検出され

ている間、AラインL aのレベルをHighレベルに維持し、第1プロセッサ1の動作を許容する。なお、待機期間T 1は、例えばリセット信号に応じて定常動作状態に移行する迄の時間を考慮して設定される。

【0026】

次に、第1プロセッサ1に異常が発生した場合について、図4を参照して説明する。図4は、本発明に係る第3タイミングチャートである。第1プロセッサ1のフラッシュROM1 aにバグを含む誤ったプログラム（HEXデータ）が格納される事態が想定される。このような場合、第1プロセッサ1は、動作が不安定になり応答パルスを所定のタイミングで生成することができなくなる。

【0027】

図4に示すように、第2プロセッサ2は、監視期間中に応答パルスを検出できない場合、AラインL aにリセット信号を再び送出する。このリセット信号に基づくリセットにより、第1プロセッサ1は、再び起動されるが、BラインL bにLowレベルのパルス（応答パルス）を送出することができない。第2プロセッサ2は、監視期間中に再び応答パルスを検出できない場合、更にリセット信号を送出する。このような動作が例えば5回繰り返されると、即ち5回目の監視期間が経過すると、第2プロセッサ2は、第1プロセッサ1に設けられたファームウェアが正常でないと判断し、そして第1プロセッサ1を強制的にリセットする。

【0028】

図4に係る以上の処理を具体的に説明すると、パワーオンリセットパルスに応じて起動後、第1プロセッサ1に向けてパワーオンリセットパルス（起動パルス）P 1を送出する。第2プロセッサ2は、監視期間中（図3）、第1プロセッサ1から送出される応答パルス（P a）を検出できないと、監視期間が終了する度に、リセット信号P r 1, P r 2, . . . をAラインL aに送出する。第2プロセッサ2は、例えば第5リセット信号P r 5に対応する監視期間が経過するまでに、第1プロセッサ1から送出されるべき応答パルスを検出できない場合、第1プロセッサ1が異常動作状態にあるもの判断してAラインL aをローレベル状態に設定する。AラインL aがローレベル状態に維持されると、第1プロセッサ1は、動作を停止する強制リセットに設定される。このローレベル状態の設定は、

強制リセット信号の送出を意味する。

【 0 0 2 9 】

図5は、本発明に係る第4 タイミングチャートである。第1プロセッサ（CPU2）1は、異常が発生した場合、第2プロセッサ（CPU1）2からAラインL aに向けて送出されたリセット信号（P r）を受け入れても、BラインL bに送出されるべき応答パルス（P a）を生成できない。図中、破線で示されるように、BラインL bに応答パルス（P a）が送出されるタイミングは、監視期間に対応する。第2プロセッサ2が、例えば異常動作判定を5つ分のリセット信号P rに応じて実行する場合、5回目の監視期間T 6経過後、AラインL aがローレベルに設定され続ける。第1プロセッサ1は、AラインL aがローレベルに設定されると、動作を停止する。

【 0 0 3 0 】

以上の処理において、リセット信号（P r）は、第1プロセッサ1に対して、動作クロック（ウォッチドックタイマクロック）と同様の働きをする。

【 0 0 3 1 】

なお、第2プロセッサ2から送出される5つ分のリセット信号（P r）を参照して第1プロセッサ1の異常判定を行う処理は、ノイズ等の影響により第1プロセッサ1の異常を誤判定する事態を回避するためであり、その数は5つに特に限定されない。

【 0 0 3 2 】

第1プロセッサ1が監視動作制御中、第2プロセッサ2は、プログラム転送コマンド（ダウンロードコマンド）が送られて来るまで応答パルス（P a）送出の監視を実行し、その他は何も実行しない。第1プロセッサ1は、起動後、100ms毎にBラインL bにLowレベルの応答パルス（P a）を送出する。第2プロセッサ2は、ポートの状態に基づいて応答パルス（P a）の送出を監視し、応答パルスを検出できた場合、AラインL aをHigh状態に維持し続ける。

【 0 0 3 3 】

受信用のASYN C信号ライン（図1のRXD）は、並列接続されており、同一データを第1プロセッサ1及び第2プロセッサ2で受信する。各プロセッサは、受信デ

ータを監視する。受信データが監視制御コマンドを表す場合、第1プロセッサ1が動作し、ダウンロードコマンドの場合、第2プロセッサ2が動作する。送信用のASYNC信号ライン（図1のTXD）は、ANDゲート4に接続される。一方のプロセッサのみがデータを送出する場合、ラインTXDはHighレベルに固定される。第2プロセッサ2は、ダウンロードコマンドが送られてきた場合のみ通信を行うため、通常はHigh状態に設定され、そして第1プロセッサ1は、信号衝突の回避及び通信することができる。ダウンロードコマンドが送られてきた場合、まず第2プロセッサ2がデータをバッファに格納する。この間、第1プロセッサ1は、ASYNCの通信を行わず、第1プロセッサ2のみが通信を行う。

【 0 0 3 4 】

次に第2プロセッサ2が第1プロセッサ1をリセット状態でホールドし、3線式フラッシュ書き込みライン（SI,S0,SCLOC）を用いてフラッシュROMに新たなファームウェアが書き込まれる。この状態は、例えばフラッシュROM1aにプログラムが存在しない場合、即ちプログラムの更新に失敗したような場合においても、設定することができる。

【 0 0 3 5 】

また異常のあるファームウェアが書き込まれたとき、第1プロセッサ1は、起動後、ファームウェアが正常でないため、BラインLbにLowレベルの応答パルスを送出できない。第2プロセッサ2は、ポートを介して応答パルスを監視する。第2プロセッサ2は、応答パルスを検出できない場合、再びAラインLaにリセット信号を送出する。このリセット信号により、再び第1プロセッサ1が起動されるが、BラインLbに応答パルスを送ることができないため、再度リセット信号が送出手になることになる。このような動作が5回繰り返されると、第2プロセッサ2は、第1プロセッサ1のファームウェアが正常でないと判断し、第1プロセッサ1を強制的にリセットする（図3参照）。このときリセット動作を5回繰り返すのは、正常なファームウェアが書き込まれていてもノイズ等でプロセッサが誤動作したときに強制リセット状態になるのを回避するためである。正常なファームウェアが書き込まれている状態で、プロセッサが誤動作した場合、1回のリセットで復帰し、そして正常動作に戻る。この場合、第2プロセッサ2は、

いわゆるウォッチドッグタイマと同様な動作をする。第1プロセッサ1が強制リセットされることにより、第1プロセッサ1に接続されている送信用のASYNCライン(TXD)がHighレベルに設定されるため、第2プロセッサ1は、正常に通信できることとなる。従って、異常のあるファームウェアが書き込まれたときでも、再度正常なファームウェアをダウンロードすることができる。このことは、初期状態でフラッシュROMが空の場合も同様である。フラッシュROMが空の場合、プロセッサが起動されると、ファームウェアが暴走し、通信ラインに影響を及ぼすことがあるが、第1プロセッサ1が強制的にリセットされることにより、ダウンロード可能な状態が設定される。

【 0 0 3 6 】

次に図6を参照して、第2プロセッサ2の制御により実行されるプログラム更新処理の動作を説明する。図6は、本発明に係るプログラム更新処理のタイミングチャートである。第2プロセッサ2は、通信バッファ5のゲートを介して新たなプログラムを受信する場合、通信バッファ5のゲートを介してプログラム転送の指示を出す。この指示を受け付けたプログラム供給源は、送信すべきプログラムの準備、即ちバッファリングを実行し、準備が完了すると、送信指示を第2プロセッサ2に通知する。この間、第2プロセッサ2は、AラインLaのレベルを基準レベル(ローレベル)に維持する。

【 0 0 3 7 】

送信指示を受け付けた第2プロセッサ2は、AラインLaのレベルをLowレベルに設定し、第1プロセッサ1にフラッシュROM1aへの書き込みを通知する。更に第2プロセッサ2は、プログラム供給源に向けてプログラム送信を指示する。第2プロセッサ2は、プログラムを受信すると、ラインL1～L3を介してプログラムを第1プロセッサ1に転送する。第1プロセッサ1は、転送されたプログラムをフラッシュROM1aに書き込む。

【 0 0 3 8 】

第2プロセッサ2は、プログラムの書き込みが完了すると、AラインLaのレベルを基準レベルに設定する。第1プロセッサ1は、このAラインLaのレベル変化を検出すると、フラッシュROM1a上の新たなプログラムを参照した動作準

備を実行し、第2プロセッサ2に生成されるリセット信号の送出を監視する。その後は、図3を参照して説明した周期で動作する。

【0039】

次に、本発明に係る変形例について図7～図9を参照して説明する。図7は、本発明に係る第1変形例の概念図である。図7に示されたプロセッサ回路8には、図1に示されたプロセッサ回路のパワーオンリセット回路3の代わりにウォッチドッグタイマ13が設けられている。ウォッチドッグタイマ13は、第2プロセッサ2に起動パルスを送出する。第2プロセッサ2は、ウォッチドッグタイマ13に、ウォッチドッグパルスを送出する。ウォッチドッグタイマ13では、ウォッチドッグパルスを検出できる場合、タイムアウトが発生しない。このため、第2プロセッサ2のリセット端子のレベルがハイレベルに維持され、そしてその動作が許容される。ウォッチドッグタイマ13は、ウォッチドッグパルスを検出できない場合、第2プロセッサ2の障害発生と判断し、強制リセット信号、例えば第2プロセッサ2のリセット端子のレベルをローレベルに設定する。この設定により、第2プロセッサ2は動作を停止する。第2プロセッサ2が動作を停止すると、AラインLaのレベルもローレベルに設定される。即ち第1プロセッサ1には、強制リセット信号が送出される。

【0040】

以上の構成は、第1プロセッサ1の障害監視に加えて、第2プロセッサ2の障害監視、即ち障害発生に伴う動作停止を実現することができる。

【0041】

図8は、本発明に係る第2変形例の概念図である。図8に示されたプロセッサ回路8は、図7に示されたプロセッサ回路と比べると、第2プロセッサ14にバッファ14aが設けられた点が相違する。このバッファ14aは、EEPROM等から構成され、プログラム供給源から送信されるプログラムを一時記憶することができる。第2プロセッサ14は、受信したプログラムを、受信と同時にラインL1～L3に送出することなく、一旦、その全体をバッファ14aに格納する。第2プロセッサ14は、バッファ14aへの格納が成功した後、フラッシュROM1aへプログラムを書き込むためのプログラム転送を実行する。

【0042】

このような２段階の転送手順を実行することにより、例えばフラッシュROM 1 a へのプログラム転送を失敗した場合、再びプログラム供給源、第２プロセッサ 14、そして第１プロセッサ 1 の全てが関与するプログラム転送処理を回避することができる。即ち、フラッシュROM 1 a への書き込みを失敗した場合、バッファ 14 a にバッファリングされたプログラムを参照して、第１プロセッサ 1 と第２プロセッサ 14 の間でのみプログラム転送処理を実行すればよい。

【0043】

次に図 9 は、本発明に係る第 3 変形例の動作説明図である。上述の構成では、一定周期で発生するリセット信号に応じた応答パルスの有無により障害が検出された。第 3 変形例は、応答パルスが所定パターンの周期で発生される。例えばダウンロードプロセッサ 2 は、図 3 において説明したタイミングでリセット信号 Pr 1, Pr 2, Pr 3, . . . を送出する。一方、第 1 プロセッサ 1 は、第 1、3、4、6 リセット信号 Pr 1, Pr 3, Pr 4, Pr 6, . . . のタイミングに応答して、第 1～4 応答パターンパルス Pp (Pp 1～Pp 4) を生成する。このため、第 2 プロセッサ 2 は、監視期間 T2, T4, T5, T7 に対応する第 1～4 応答パターンパルス Pp (Pp 1～Pp 4) の発生を監視する。即ち第 1 プロセッサ 1 が正常動作中、リセット信号は "1111 . . ." の内容で発生し、応答パルスは "101101 . . ." の内容で発生する。このように応答パルスに発生パターンを設定することにより、ノイズ等の影響による異常動作及び正常動作を誤検出する事態を回避することができる。また、応答パルス出力は、タイマ処理で実行されるために正常に送出されるが、送出パターンを作り出すためにはタイミング算出処理が必要になるため、演算処理に係るその他の動作部分にバグが存在するような場合に有効である。

【0044】

【発明の効果】

本発明による通信機能を備えたプログラム更新システムは、プログラムの更新を制御する第 2 プロセッサと、その他の処理を実行し且つファームウェアの更新対象となる第 1 プロセッサを設け、第 2 プロセッサの働きかけに対して第 1 プロ

セッサが所定期間中に正常な応答できない場合、強制的に第 1 プロセッサの動作が停止される。このため、第 1 プロセッサが暴走動作することによる障害を回避することができる。また、第 1 プロセッサの動作が停止しても、第 2 プロセッサの制御により、ファームウェアの更新処理を実行することができる。

【図面の簡単な説明】

【図 1】

図は、本発明に係る屋外装置の概念図である。

【図 2】

図は、本発明に係る第 1 タイミングチャートである。

【図 3】

図は、本発明に係る第 2 タイミングチャートである。

【図 4】

図は、本発明に係る第 3 タイミングチャートである。

【図 5】

図は、本発明に係る第 4 タイミングチャートである。

【図 6】

図は、本発明に係るプログラム更新処理のタイミングチャートである。

【図 7】

図は、本発明に係る第 1 変形例の概念図である。

【図 8】

図は、本発明に係る第 2 変形例の概念図である。

【図 9】

図は、本発明に係る第 3 変形例の動作説明図である。

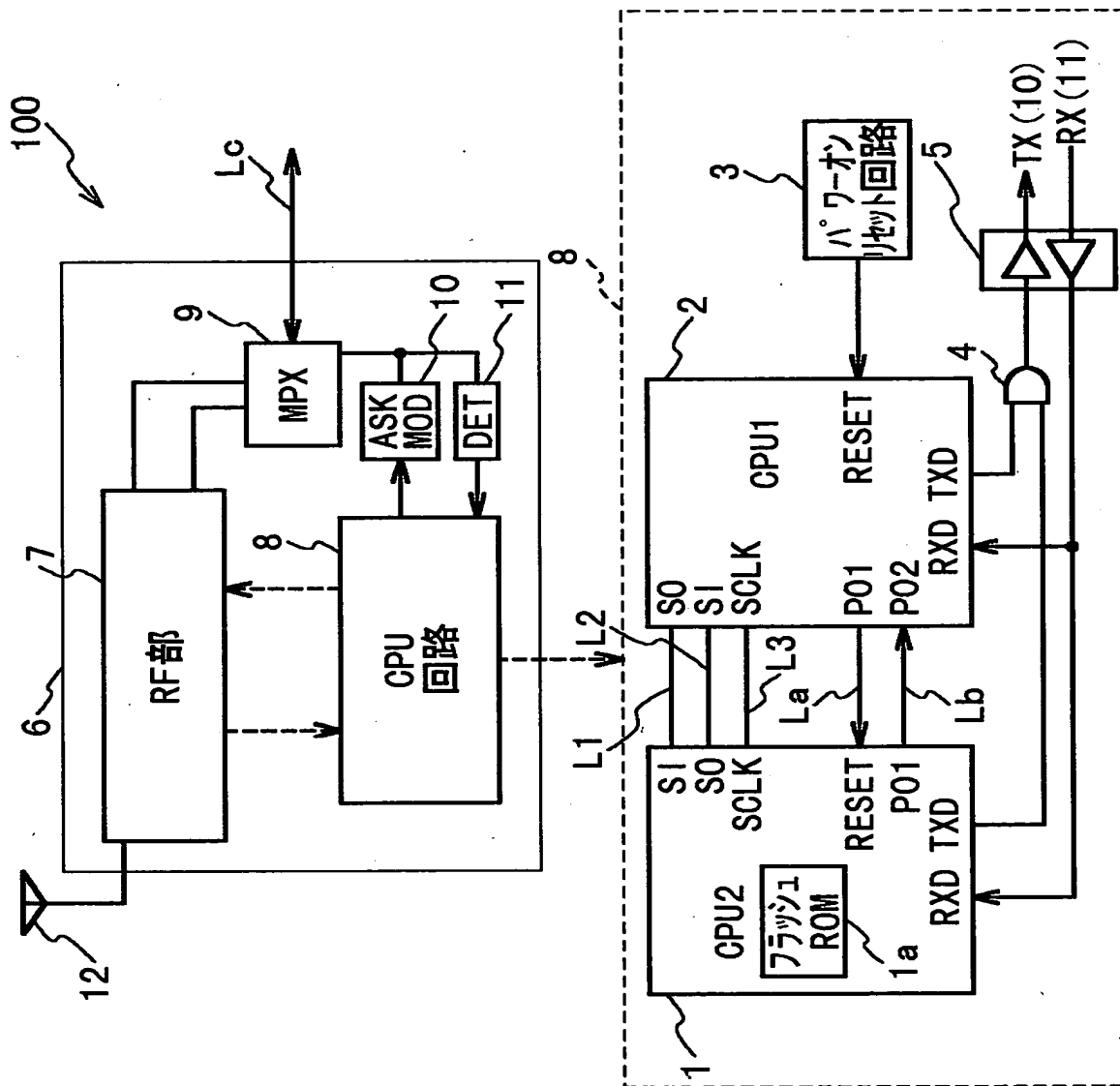
【符号の説明】

- 1 : 第 1 プロセッサ
- 1 a : フラッシュROM
- 2 : 第 2 プロセッサ
- 3 : パワーオンリセット回路
- 4 : ゲート回路

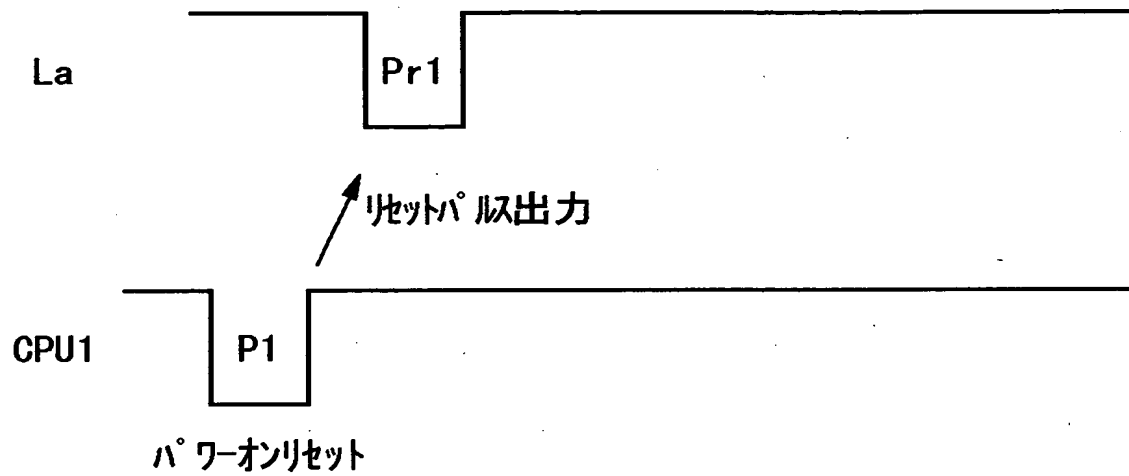
5 : 通信バッファ
6 : 信号処理部
7 : 高周波部
8 : プロセッサ回路
9 : マルチプレクサ
10 : 変調器
11 : 検波器
12 : アンテナ
13 : ウォッチドッグタイマ
14 : 第2プロセッサ
14 a : EEPROMバッファ
100 : 屋外装置
L a : Aライン
L b : Bライン
P 1 : パワーオンリセットパルス
P r (P r 1 ~ P r 5) : リセット信号
P a (P a 1 ~ P a 5) : 応答パルス
P p (P p 1 ~ P p 4) : 応答パターンパルス
T 1 : 監視禁止期間
T 2 ~ T 7 : 監視期間

【書類名】 図面

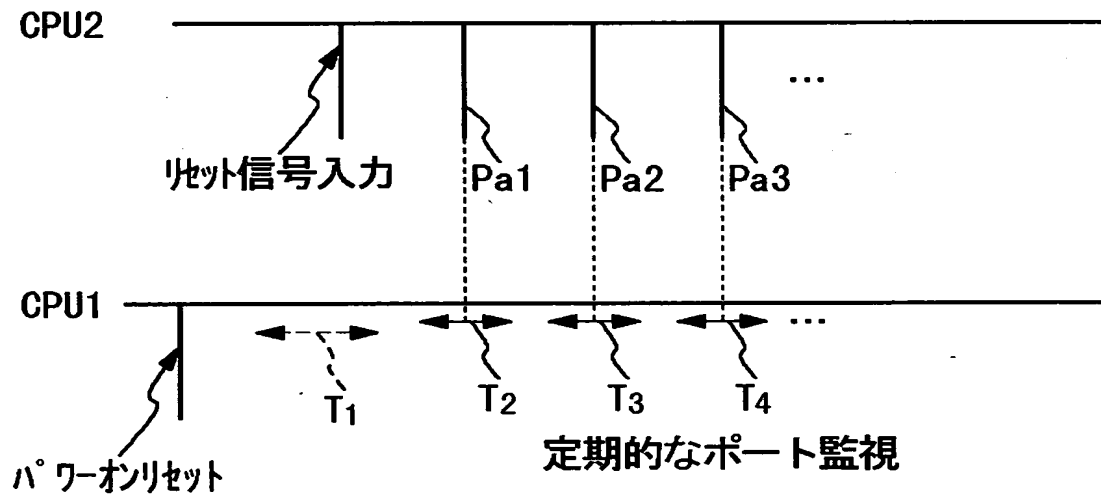
【図 1】



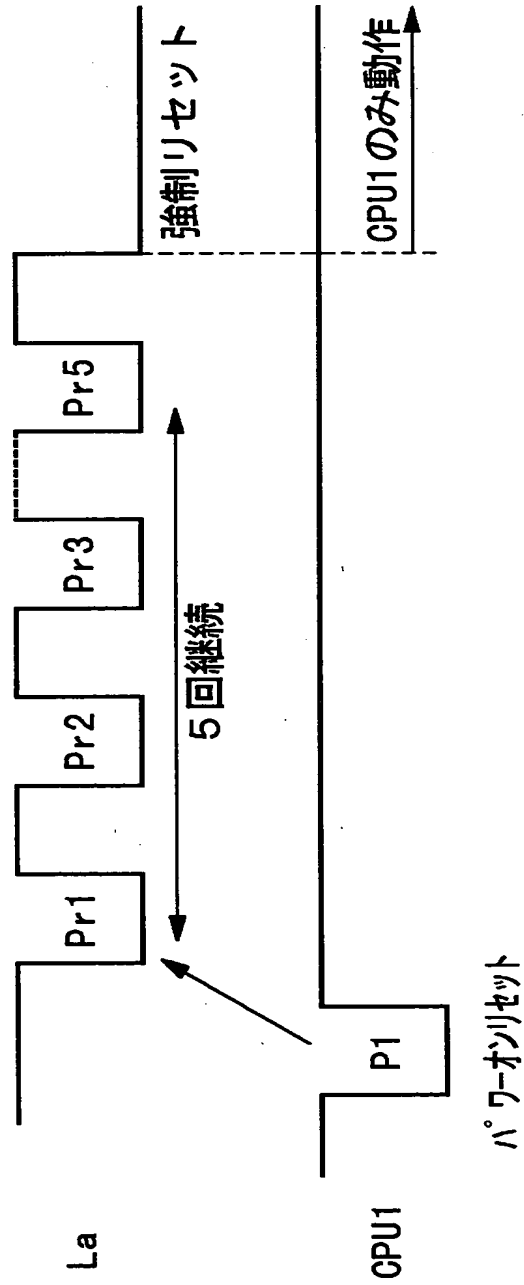
【図 2】



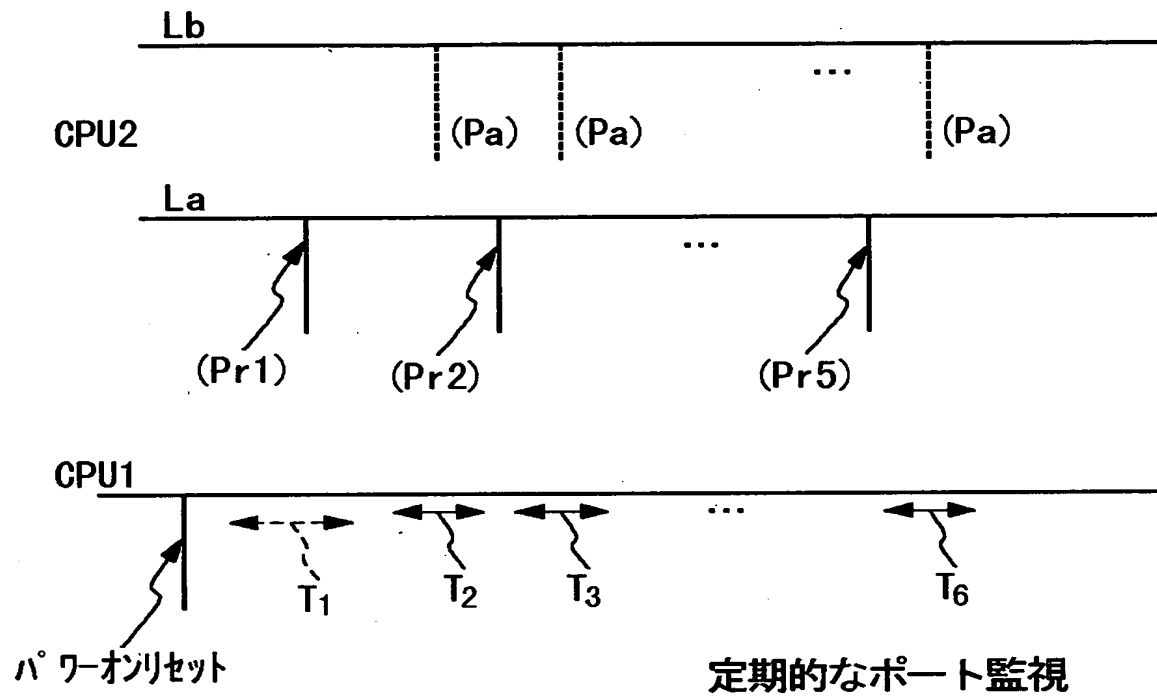
【図 3】



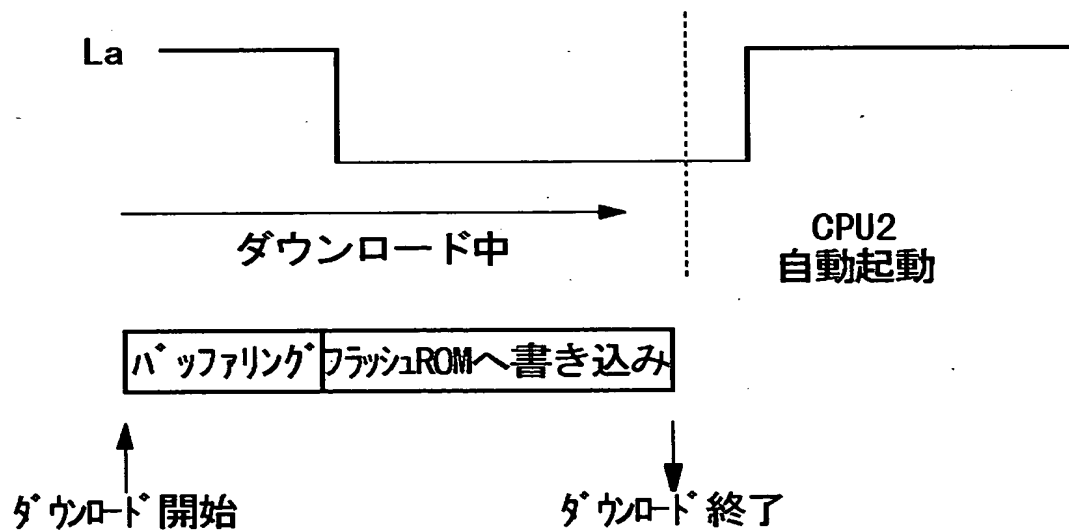
【図 4】



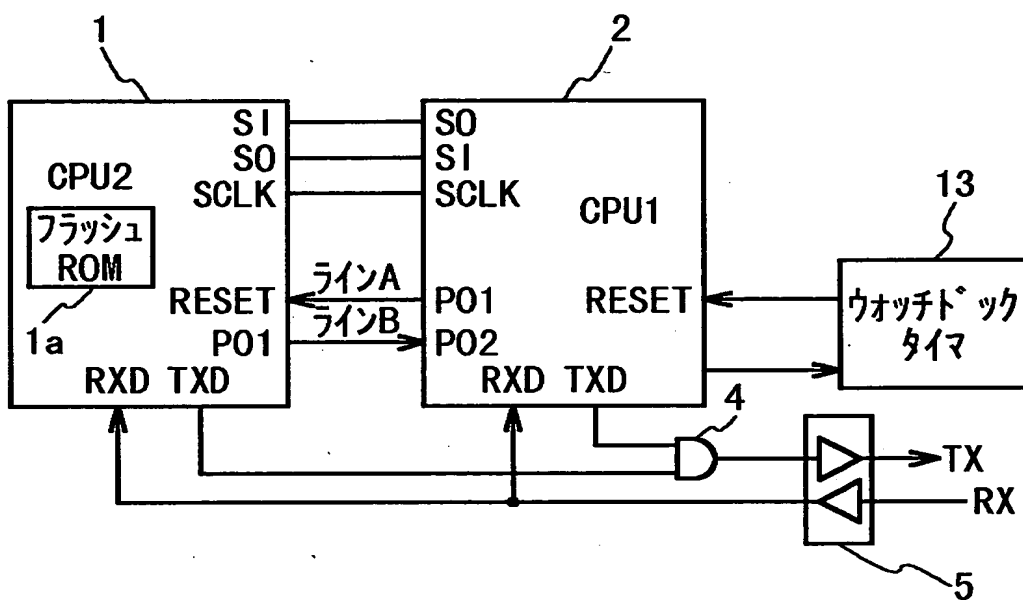
【図 5】



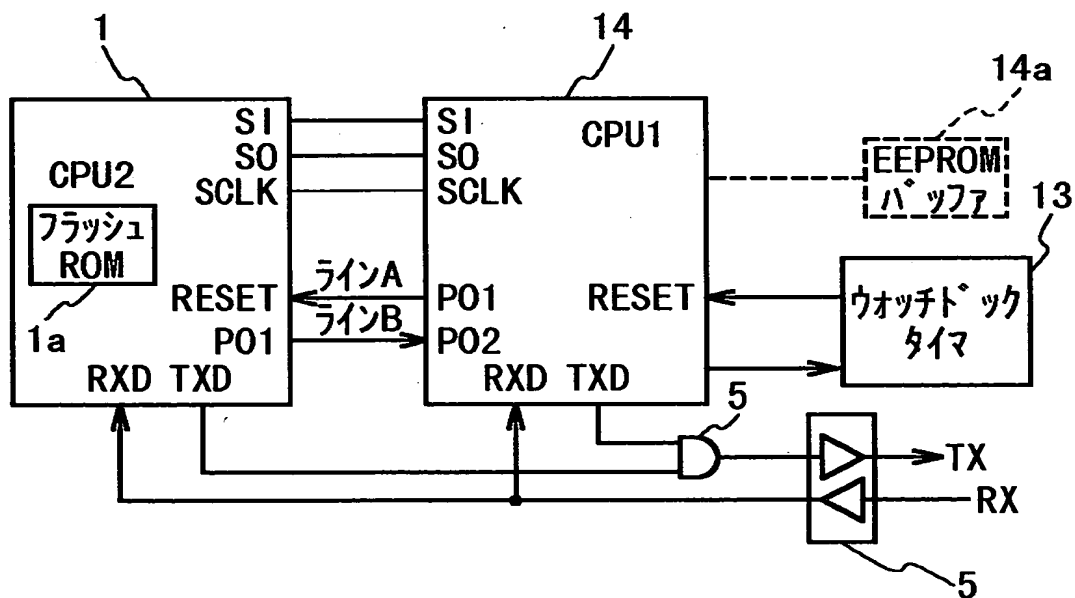
【図 6】



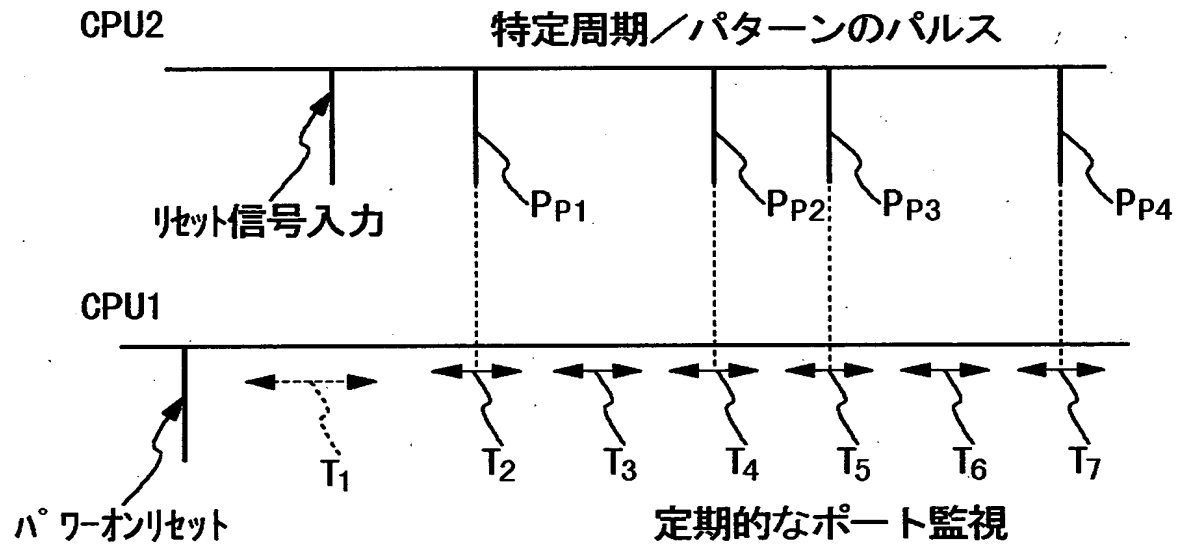
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 本発明は、更新すべきプログラムに障害が発生しても、プログラム転送を確実に実行することができる通信機能を備えたプログラム更新システムを提供する。

【解決手段】 本発明による通信機能を備えたプログラム更新システムは、所定のプログラムを参照して動作する第1プロセッサ（1）と、プログラムの更新を通信回線を介して実行し且つ、第1プロセッサ（1）の障害を検出した場合にプログラムの更新制御を実行する第2プロセッサ（2）を備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社